

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-027918

(43)Date of publication of application : 30.01.2001

(51)Int.Cl. G06F 3/00
G06F 13/16
H01P 5/00
// H01P 5/18

(21)Application number : 2000-126234

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.04.2000

(72)Inventor : OSAKA HIDEKI
KOMATSU TOYOHICO
TSUNEHIO TAKASHI
KIMURA KOICHI
HATANO SUSUMU
ITO KAZUYA
KANNO TOSHIO

(30)Priority

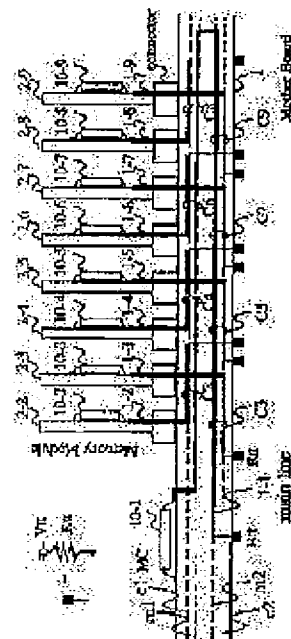
Priority number : 11130957 Priority date : 12.05.1999 Priority country : JP

(54) DIRECTIONAL COUPLING TYPE MEMORY SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To narrow a space between memory modules and to improve the packing density of a memory by folding back a main line and constructing a directional coupler to the folded main line.

SOLUTION: In regard of the wiring of a main line 1-1, a layer m1 is folded back in the right direction on a drawing when viewed from an MC 10-1 and a wiring layer formed on a mother board 1 is changed into a layer m2 and folded in the left direction on the drawing after the couplers C2, C4, C6 and C8 are constructed to the wirings 1-2, 1-4, 1-6 and 1-8 of a layer c1 which are led from a memory chip. The folded-back line 1-1 constructs the couplers C3, C5, C7 and C9 to the wirings 1-3, 1-5, 1-7 and 1-9 of a layer c2 which are led from the memory chip and then terminated. The couplers C2-C8 are constructed at a position (upper layer) set between the layers m1 and c1 of the board 1, and the couplers C3-C9 are constructed at a position (lower layer) set between the layers m2 and c2 of the board 1 respectively.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-27918

(P2001-27918A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 3/00		G 0 6 F 3/00	F
			K
			T
13/16	5 1 0	13/16	5 1 0 A
H 0 1 P 5/00		H 0 1 P 5/00	A
審査請求 未請求 請求項の数25 O L (全 23 頁) 最終頁に続く			

(21) 出願番号 特願2000-126234(P2000-126234)

(22) 出願日 平成12年4月20日 (2000.4.20)

(31) 優先権主張番号 特願平11-130957

(32) 優先日 平成11年5月12日 (1999.5.12)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大坂 英樹

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 小松 豊彦

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 方向性結合式メモリシステム

(57) 【要約】

【課題】 方向結合器が占める配線長がバス接続されるモジュール間隔を決めているので、その間隔を短くするには方向性結合器の配線長を短くする必要があり、その結果、伝送の効率すなわち結合度を下げる原因となるので、ある一定の間隔以下にすることができなかつた。そのため、メモリモジュール間の間隔を狭くすることが課題である。

【解決手段】 メモリコントローラからの配線（メインライン）を折り返し、折り返される前の配線と折り返された後の配線に方向結合器を形成できるので、結果として結合器の配線長はモジュール間のピッチより短くすることができ高密度実装が可能となる。

